

W0004



JP2000277531

Biblio

Page 1

esp@cenet**SEMICONDUCTOR DEVICE AND ITS MANUFACTURE**

Patent Number: JP2000277531

Publication date: 2000-10-06

Inventor(s): INAGAWA HIROMI; MACHIDA NOBUO; OISHI KENTARO

Applicant(s):: HITACHI LTD; HITACHI ULSI SYSTEMS CO LTD

Requested Patent: ☐ JP2000277531 (JP00277531)

Application Number: JP19990081667 19990325

Priority Number(s):

IPC Classification: H01L21/336 ; H01L29/78

EC Classification:

Equivalents:

Abstract

PROBLEM TO BE SOLVED: To prevent the occurrence of a source offset by forming a trench gate conductor layer and a gate insulating film in a trench and on the main surface of the periphery of the trench in a semiconductor device having a FET of a trench gate structure, in which a conductor to be a gate is provided in a trench extending on the main surface of a semiconductor substrate.

SOLUTION: A trench gate 4 of a MISFET of this type is formed in a trench extending to an n-type second semiconductor layer 2a to be a drain region from the main surface of a semiconductor substrate via a multi-layer gate insulating film 5 formed of a thermal oxide film and a deposition film, and is formed of polycrystalline silicon doped with impurities, for example. The top surface of the trench gate 4 is higher than the surface of a third semiconductor layer 2c to be a source region, that is, the main surface of the semiconductor substrate. Therefore, this can prevent the trench gate 4 from being off the source region, that is, a source offset, even if the source region is made shallow. It is desirable that the top surface of the trench gate 4 is formed almost flat or convexly.

Data supplied from the esp@cenet database - I2

(19) 日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号

特開2000-277531

(P2000-277531A)

(43) 公開日 平成12年10月6日 (2000.10.6)

(51) Int.Cl.⁷

識別記号

F I

テームコード* (参考)

H 0 1 L 21/336
29/78

H 0 1 L 29/78

6 5 8 A

6 5 2 N

6 5 3 A

6 5 7 C

審査請求 未請求 請求項の数 8 O L (全 11 頁)

(21) 出願番号 特願平11-81667

(22) 出願日 平成11年3月25日 (1999.3.25)

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(71) 出願人 000233169

株式会社日立超エル・エス・アイ・システムズ

東京都小平市上水本町5丁目22番1号

(72) 発明者 稲川 浩巳

東京都小平市上水本町五丁目20番1号 株式会社日立製作所半導体事業本部内

(74) 代理人 100083552

弁理士 秋田 収喜

最終頁に続く

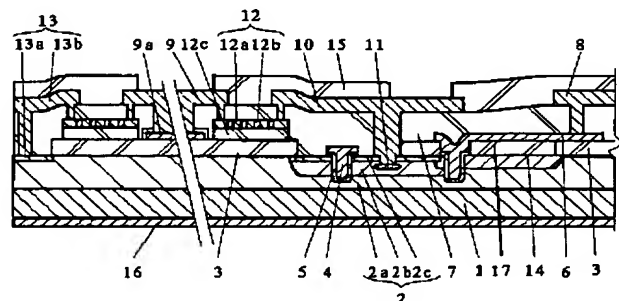
(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 半導体基板主面に延設した溝にゲートとなる導体層を設けるトレンチゲート構造のFETを有する半導体装置についてソースオフセットの発生を防止し、併せて、ゲート絶縁膜の損傷を防止する。

【解決手段】 半導体基板主面に延設した溝にゲートとなる導体層を設けるトレンチゲート構造のFETを有する半導体装置について、前記トレンチゲート導体層の上面を、前記半導体基板主面よりも高く形成し、前記溝内及び溝周縁の半導体基板主面上にトレンチゲート導体層及びゲート絶縁膜を形成する。また、その製造方法において、前記半導体基板主面に形成した絶縁膜をマスクとして半導体基板主面にトレンチゲートの形成される溝を形成し、前記絶縁膜の側面を、等方性のエッチングによって、前記溝の上端から後退させ、前記溝内及び溝周縁の半導体基板主面上にゲート絶縁膜及びトレンチゲートとなる導体層を形成する。

図 4



【特許請求の範囲】

【請求項 1】 半導体基板主面に延設した溝にゲートとなる導体層を設けるトレンチゲート構造の FET を有する半導体装置において、前記溝内及び溝周縁の半導体基板主面上にトレンチゲート導体層が形成されていることを特徴とする半導体装置。

【請求項 2】 半導体基板主面に延設した溝にゲートとなる導体層を設けるトレンチゲート構造の FET を有する半導体装置において、前記溝内及び溝周縁の半導体基板主面上にゲート絶縁膜が形成されていることを特徴とする半導体装置。

【請求項 3】 半導体基板主面に延設した溝にゲートとなる導体層を設けるトレンチゲート構造の FET を有する半導体装置において、前記溝内及び溝周縁の半導体基板主面上にトレンチゲート導体層及びゲート絶縁膜が形成されていることを特徴とする半導体装置。

【請求項 4】 前記ゲートとなる導体層が多結晶シリコンであり、前記ゲート絶縁膜が熱酸化による酸化珪素であることを特徴とする請求項 1 乃至請求項 3 の何れか一項に記載の半導体装置。

【請求項 5】 半導体層をドレインとし、該半導体層主面に延設した溝にゲートとなる導体層を設けたトレンチゲート構造の FET を有する半導体装置の製造方法において、前記半導体層主面に絶縁膜を形成する工程と、前記絶縁膜をトレンチゲートに対応したパターンにパターニングする工程と、前記パターニングした絶縁膜をマスクとして半導体層主面にトレンチゲートの形成される溝を形成する工程と、前記絶縁膜の側面を、等方性のエッチングによって、前記溝の上端から後退させる工程と、前記溝内及び溝周縁の半導体層主面上にゲート絶縁膜を形成する工程と、前記溝内及び溝周縁の半導体層主面上にトレンチゲートとなる導体層を形成する工程と、前記溝内のゲート絶縁膜に接するチャネル領域及びソース領域を形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項 6】 前記マスクとなる絶縁膜と、フィールド絶縁膜とが同一の工程で形成されることを特徴とする請求項 5 に記載の半導体装置の製造方法。

【請求項 7】 前記ゲートとなる導体層が多結晶シリコンであり、前記ゲート絶縁膜が熱酸化による酸化珪素であることを特徴とする請求項 5 又は請求項 6 に記載の半導体装置の製造方法。

【請求項 8】 前記チャネル領域及び前記ソース領域の形成に伴う熱処理は、夫々独立して行なわれることを特徴とする請求項 5 に記載の半導体装置の製造方法。

【発明の詳細な説明】**【0001】**

【発明の属する技術分野】本発明は、半導体装置に関し、特に、トレンチゲート構造の半導体装置に適用して有効な技術に関するものである。

【0002】

【従来の技術】電力増幅回路、電源回路、コンバータ或は電源保護回路等にはパワートランジスタが用いられているが、これらのパワートランジスタには大電力を扱うために高耐圧化及び大電流化が要求される。

【0003】MISFET (Metal Insulator Semiconductor Field Effect Transistor) の場合には、大電流化を達成する方法として、チャネル幅を増大させることによって容易に達成できる。そして、このようなチャネル幅の増大を行なうことによってチップ面積が増大するのを回避するために、例えばメッシュゲート構造が用いられている。

【0004】メッシュゲート構造では、ゲートが平面的に格子状に配置されており、このため単位チップ面積当りのチャネル幅を大きくすることができる。メッシュゲート構造の FET についてはオーム社刊「半導体ハンドブック」第 429 頁乃至第 430 頁に記載されている。従来、このようなパワー FET には、工程が簡単でありゲート絶縁膜となる酸化膜の形成が容易なことからプレーナ構造のものが用いられてきた。

【0005】しかしながら、FET ではゲート長によってチャネル長が決まるために、プレーナ構造の FET では、ゲートを細くした場合にはチャネル長が短くなり短チャネル効果が生じる、或はゲートが同時に配線の機能をもっているために、ゲートを細くした場合には許容電流が減少してしまう等の問題があり、微細化には限界がある。このため、更にセルの集積度を向上させることが可能であり、加えてオン抵抗を低減させることができる等の理由からトレンチゲート構造の FET が考えられた。

【0006】トレンチゲート構造とは、半導体基板主面に延設した溝に絶縁膜を介してゲートとなる導体層を設け、前記主面の深層部をドレイン領域とし、前記主面の表層部をソース領域とし、前記ドレイン領域及びソース領域間の半導体層をチャネル形成領域とするものである。この種のトレンチゲート構造の MISFET は、例えば特開平 8-23092 号公報に開示されている。

【0007】

【発明が解決しようとする課題】素子の微細化が進展することにより、ソース領域もよりシャロー化が進められる。シャロー化が進むことによって、ソース領域が薄くなり、この薄いソース領域に対して、トレンチゲートを正確に位置させることが困難となってくる。トレンチゲートの誤差によって、トレンチゲートがソース領域から外れてしまうソースオフセットが発生した場合には、こ

のソースオフセットによってFETとして機能しなくなってしまう。

【0008】素子の微細化が進展することにより、ソース領域もよりシャロー化が進められる。シャロー化が進むことによって、ソース領域が薄くなり、この薄いソース領域に対して、トレンチゲートを正確に位置させることが困難となってくる。

【0009】また、ゲート絶縁膜の端部が、前記溝の角部に位置するために、トレンチゲート形成の過程にて損傷を受けることがあり、このようなゲート絶縁膜の不良によって、素子の動作不良が生じることがある。

【0010】本発明の課題は、このような問題を解決し、ソースオフセットの発生を防止することが可能な技術を提供することにある。本発明の課題は、このような問題を解決し、ゲート絶縁膜の損傷を防止することが可能な技術を提供することにある。本発明の課題は、シャロー化を図ったトレンチゲート構造のFETを提供することにある。本発明の前記ならびにその他の課題と新規な特徴は、本明細書の記述及び添付図面によって明らかになるであろう。

【0011】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、下記のとおりである。半導体基板主面に延設した溝にゲートとなる導体層を設けるトレンチゲート構造のFETを有する半導体装置において、前記溝内及び溝周縁の半導体基板主面上にトレンチゲート導体層及びゲート絶縁膜を形成する。

【0012】また、その製造方法において、半導体層主面に絶縁膜を形成し、前記絶縁膜をトレンチゲートに対応したパターンにパターニングし、前記パターニングした絶縁膜をマスクとして半導体基板層にトレンチゲートの形成される溝を形成し、前記絶縁膜の側面を、等方性のエッチングによって、前記溝の上端から後退させ、前記溝内及び溝周縁の半導体基板主面上にゲート絶縁膜及びトレンチゲートとなる導体層を形成し、しかる後に前記溝内のゲート絶縁膜に接するチャンネル領域及びソース領域を形成する。

【0013】

【作用】上述した手段によれば、トレンチゲート導体層の上面を、前記半導体基板主面よりも高く形成することにより、ソースオフセットを防止することが可能となる。また、前記溝周縁の半導体基板主面上にゲート絶縁膜及びトレンチゲートとなる導体層ゲート絶縁膜及びゲートの導体層が形成されているため、ゲート絶縁膜端部の損傷を防止することができる。

【0014】

【発明の実施の形態】以下、本発明の実施の形態を説明する。なお、実施の形態を説明するための全図において、同一機能を有するものは同一符号を付け、その繰り

返しの説明は省略する。

【0015】（実施の形態1）図1は、本発明の一実施の形態の半導体装置の要部となるトレンチゲート構造のパワーMISFETを示す平面図であり、図2は、図1に示すMISFETの等価回路図である。図3は、図1中a部を拡大して示す要部平面図であり、図4は、図3中のa-a線に沿った縦断面図である。

【0016】本実施の形態のMISFETは、例えば単結晶珪素からなるn+型半導体基体1に、例えばエピタキシャル成長によってエピタキシャル層2を形成した半導体基板に形成される。このMISFETは、半導体基板の外周に沿って矩形環状に設けられ、角部内側に矩形部分を有するプレート状のフィールド絶縁膜3（図3中にも二重斜線を付す）によって囲まれた領域内に形成されている。

【0017】前記領域内には、平面形状が六角形或いは扁平八角形となっているトレンチゲート構造のセルを規則的に複数配置し、各ゲートが平面的に格子状に配置され各セルを並列接続したメッシュゲート構造で構成される。

【0018】各セルでは、半導体基体1上に形成されたn-型の第1半導体層2aがドレイン領域となり、第1半導体層2a上に形成されたp型の第2半導体層2bがチャンネルの形成されるベース領域となり、第2半導体層2b上に形成されたn+型の第3半導体層2cがソース領域となる縦型FETとなっている。

【0019】トレンチゲート4は、半導体基板主面からドレイン領域となるn-型第2半導体層2aに達する溝にゲート絶縁膜5を介して形成される。トレンチゲート4としては、例えば不純物が導入された多結晶珪素を用い、ゲート絶縁膜5としては、例えば、27nm程度の熱酸化膜と、50nm程度の堆積膜とを順次形成した多層膜で構成されている。

【0020】後述する図19乃至図21に示すように、本実施の形態のトレンチゲート4の上面は、ソース領域となる第3半導体層2cの表面即ち半導体基板主面よりも高く形成されている。この構成によって、ソース領域がシャロー化しても、トレンチゲート4がソース領域からはずれるソースオフセットを防止することができる。また、トレンチゲート4の上面は、略平坦或いは凸状に形成されていることが望ましい。

【0021】また、トレンチゲート4及びゲート絶縁膜5が、前記溝周縁の半導体基板主面上にも形成されている。この構成によって、ゲート絶縁膜5の不良を防止することができる。

【0022】前述の如く、隣接するセルのトレンチゲート4は互いに接続されており、外周に位置するセルの各トレンチゲート4は半導体チップの外周部近傍にて、例えば多結晶珪素を用いたゲート配線6と接続されている。

【0023】ゲート配線6は、層間絶縁膜7を介して上層に形成され、例えばシリコンを含有させたアルミニウムを用いたゲートガードリング8（図3中では破線にて部分的に示す）と電氣的に接続されている。ゲートガードリング8は、フィールド絶縁膜3の矩形部分に設けられた矩形形状のゲート電極9（図3中では破線にて部分的に示す）と一体に形成され、ゲート電極9にゲート4の接続領域（図1中破線にて示す）が設けられている。

【0024】ソースとなる第3半導体層2cには、半導体基板主面上に層間絶縁膜7を介して上層に形成され、例えばシリコンを含有させたアルミニウムを用いたソース配線10（図3中では破線にて部分的に示す）が電氣的に接続されている。ソース配線10は、ソース配線10にソースとなる第3半導体層2cの接続領域（図1中破線にて示す）が設けられている。このソース配線10は、ソースとなる第3半導体層2cの他に、ベース電位を一定とするために、第2半導体層2bに設けられたp+型のコンタクト層11にも電氣的に接続されている。

【0025】また、図2、図3或いは図4に示されているように、ゲートとソースとの間には、ソースからのサージに対して、ゲート絶縁膜5の破壊を防止するバックトゥバック構成の保護ダイオード12が設けられている。図5は保護ダイオード12を拡大して示す縦断面図であり、保護ダイオード12はn+型半導体領域12aとp型半導体領域12bとが交互に同心環状に形成されており、両端のn+型半導体領域12aに夫々ゲート電極9及びソース配線10が電氣的に接続されている。

【0026】また、フィールド絶縁膜3の外周には半導体基板主面に設けたn+型の半導体領域13aに、例えばシリコンを含有させたアルミニウムを用いた配線13b（図3中では破線にて部分的に示す）を接続したソースガードリング13が設けられており、ソースガードリング13の配線13bも、ソース配線10と同様に、保護ダイオード12のn+型半導体領域12aに接続されている。

【0027】なお、ゲート配線6及びゲートガードリング8は、矩形環状に設けられたフィールド絶縁膜3上に設けられ、ゲート電極9及び保護ダイオード12は、フィールド絶縁膜3の角部に設けた矩形部分上に設けられている。

【0028】また、矩形環状のフィールド絶縁膜3に沿って、その下部にはp型ウェル14が形成されており、このp型ウェル14にゲート絶縁膜5を介してトレンチゲート4の終端部を接続することによって、フィールド絶縁膜3下に空乏層をなだらかに伸ばして空乏層の不連続を防止することができるので、トレンチゲート4終端部の電界を緩和する電界緩和部としてp型ウェル14が機能する。

【0029】半導体基板主面の全面には、ゲートガードリング8、ゲート電極9、ソース配線10、ソースガー

ドリング13を覆い、例えば、テトラエトキシシラン（TEOS）ガスをソースガスの主体とするプラズマCVD法による酸化珪素膜及びポリイミドを用いた保護絶縁膜15が形成され、この保護絶縁膜15に、ゲート電極9及びソース配線10を部分的に露出させる開口を設け、この開口によって露出するゲート電極9及びソース配線10が、ゲート及びソースの接続領域となり、この接続領域にワイヤボンディング等により電氣的な接続が行なわれる。

【0030】ドレインの接続領域としては、半導体基板裏面の全面に、n+型半導体基板1と導通するドレイン電極16が、例えばニッケル、チタン、ニッケル、銀を積層した積層膜として形成され、このドレイン電極16を例えば導電性の接着材によってリードフレームに接続することによって電氣的な接続が行なわれる。

【0031】続いて、前述した半導体装置の製造方法を図6乃至図25を用いて説明する。まず、例えばヒ素（As）が導入された単結晶珪素からなるn+型半導体基体1上に、エピタキシャル成長によって半導体基体1よりも低濃度のn-型のエピタキシャル層2を5 μ m程度形成する。次に、この半導体基板の主面に600nm程度の酸化珪素膜を、例えば熱酸化法で形成し、この酸化珪素膜上にホトリソグラフィによってマスクを形成し、このマスクを用いたエッチングによって、半導体基板の外周に沿って矩形環状に、角部内側に矩形部分を有するプレート状のフィールド絶縁膜3を形成する。この後、このフィールド絶縁膜3の内周に沿ってホトリソグラフィによってマスクを形成し、このマスクを用いた例えばボロン（B）のイオン打込みを行ない、導入した不純物を拡散させて、電界緩和部となるp型のウェル14を形成する。この状態を図6に示す。なお、p型のウェル14の不純物濃度は、例えば第2半導体層2bと等しい又はそれより低く構成される。

【0032】次に、半導体基板主面に熱酸化により600nm程度の比較的厚い絶縁膜17を形成し、フィールド絶縁膜3によって囲まれたセル形成領域内の絶縁膜17に、各ゲートが平面的に格子状に配置されたメッシュゲート構造のトレンチゲートのパターンのレジストマスク18をホトリソグラフィによって形成し、このレジストマスク18を用いたエッチングによって、前記パターンの半導体基板主面を露出させる開口を設ける。この状態のトレンチゲート部分を拡大して図7に示す。

【0033】次に、この絶縁膜17をマスクとして、ドライエッチングによって、半導体基板主面に例えば深さ1.6 μ m程度の溝を形成する。この状態を図8に示す。

【0034】次に、前記ドライエッチングによって形成した溝に、等方性のウェットエッチング及びケミカルドライエッチングを行ない、前記溝の底面縁部の角部を緩和し、併せて、絶縁膜17の側面を前記溝の上端から後

退させる。この状態を図9に示す。

【0035】次に、27nm程度の熱酸化膜に50nm程度のCVD (Chemical Vapor Diposition) による酸化珪素膜を積層したゲート絶縁膜5を形成する。この状態を図10及び図11に示す。

【0036】次に、前記溝内を含む半導体基板主面全面にトレンチゲート4の導電膜となる多結晶珪素膜4'をCVDにより形成する。この多結晶珪素膜4'には抵抗値を低減する不純物（例えばリン）がその堆積中又は堆積後に導入される。不純物濃度は $1E18/cm^3$ 乃至 $1E21/cm^3$ 程度とする。この状態を図12及び図13に示す。

【0037】続いて、多結晶珪素膜4'をエッチング除去して、前記溝内にトレンチゲート4を形成する。このエッチング処理によって、同時に、フィールド絶縁膜3の矩形環状部分の上に、トレンチゲート4と接続されたゲート配線6及び矩形部分上にゲート電極9下地となる多結晶珪素膜9aを形成する。この状態を図14及び図15に示す。

【0038】次に、半導体基板主面上に残存する余分の絶縁膜17を除去し、半導体基板主面を露出させる。この状態を図16及び図17に示す。

【0039】この状態で、前述の等方性のエッチングによって絶縁膜17が後退しているために、ゲート絶縁膜5及びトレンチゲート4の導電膜が、前記溝の周縁のソース領域となる第3半導体層2cの表面即ち半導体基板主面上にも形成されている。即ち、ゲート絶縁膜5及びトレンチゲート4の導電膜が前記溝の周縁を覆い、トレンチゲート4に恰もひさしが設けられたようになり、このひさしにより溝の角部にてゲート絶縁膜5が損傷を受けるのを防止することができる。また、絶縁膜17の後退が自己整合的に行なわれるため、最小限の寸法にて溝の周縁を覆うことができる。

【0040】次に、酸化珪素からなる絶縁膜12cを形成した後、絶縁膜12cの上に多結晶珪素膜を堆積させ、この多結晶珪素膜にp型の不純物の導入を行ない、フィールド絶縁膜3の矩形部分上にゲート電極9の多結晶珪素膜9aを囲む同心環状にパターニングする。絶縁膜12cは、このパターニングの際、トレンチゲート4及びゲート配線6がパターニングされるのを防ぐエッチングストップとして作用する。その後、n+型半導体領域12aを例えばイオン注入によって形成し、n+型半導体領域12aとp型半導体領域12bとが交互に同心環状に形成された保護ダイオード12を形成する。この状態を図18に示す。

【0041】次に、エピタキシャル層2の全面にp型不純物（例えばボロン）のイオン打込みを行ない、1100℃程度の1%O₂を含む窒素ガス雰囲気中にて約100分程度の拡散処理（第1の熱処理）を行い、チャンネル形成領域となるp型の第2半導体層2bを形成する。続

いて、n型不純物（例えばヒ素）を選択的にイオン打込みして、950℃程度の1%O₂を含む窒素ガス雰囲気中にて約30分程度のアニール処理（第2の熱処理）を行ない、ソース領域となる第3半導体層2cを形成する。

【0042】FETとして機能するためには、第2半導体層2b及び第3半導体層2cがトレンチゲート4の前記ひさしの下に回り込み、前記溝内に設けられたゲート絶縁膜5に接することが重要である。本発明によればチャンネルを制御するために、第1の熱処理と第2の熱処理とは、前述のように、夫々独立して行なう。

【0043】そして、これらの不純物導入が行なわれないエピタキシャル層2の深部、具体的には第2半導体層2bと半導体基体1との間に位置するエピタキシャル層2が、ドレイン領域として機能する第1半導体層2aとなる。なお、n+型半導体領域12aは、第1半導体層2aと同じイオン打込みのプロセスで行なうことにより、工程数を低減してもよい。この状態を図19及び図20に示す。

【0044】このように、トレンチゲート4の上面が半導体基板主面よりも上に位置した状態で、イオン打込みにより、チャンネル形成領域となる第2半導体層2bとソース領域となる第3半導体層2cとを形成しているので、半導体基板2内において深さ方向のプロファイル及び第2半導体層2b、第3半導体層2cの深さを正確に制御できるので、第2半導体層2b、第3半導体層2cを薄くするシャロー化を進めることができる。即ち、第2半導体層2bの深さを正確に制御できるので、チャンネル長を正確に制御することができる。

【0045】次に、半導体基板主面上の全面に、例えばBPSG膜を500nm程度堆積させ、層間絶縁膜7を形成する。次に、CHF₃ガスを用いた異方性ドライエッチング処理を施し、層間絶縁膜7に、ソース領域となる第3半導体層2c、ゲート配線6、ソースガードリング半導体領域13a、保護ダイオード12の接続領域を露出させる開口CH (Contact Hole) を設け、この開口内を含む半導体基板主面上の全面に例えばシリコンを含むアルミニウムからなる導電膜（金属膜）を形成し、この金属膜をパターニングして、ゲートガードリング8、ゲート電極9、ソース配線10、ソースガードリング13を形成する。この状態を図21に示す。

【0046】コンタクト層11に関して、従来は、半導体基板主面表面から第2半導体層2bに達するコンタクト層11を形成し、このコンタクト層11及びその周囲の第3半導体層2cにソース配線10を接続していた。これに対して本実施の形態では、先ず、図22に示すように第2半導体層2bに達する開口CHをエッチングによって形成し、図23に示すようにこの開口CHによって露出した第2半導体層2bに直接ボロン等のp型不純物を導入する。この構成によってp型のコンタクト層1

1が深く形成されるため、アバランシェ耐量が向上する。ソース形成の際にコンタクト層11を覆うマスクが不要となるため、ホトレジスト工程が削減される。一方、IC化により、他の開口CHでコンタクト部にコンタクト層11が不必要な場合には、そのコンタクトを覆う別マスクを用いることにより、容易にソース配線10が電氣的に接続される開口CHにのみコンタクト層11を有するデバイスを作成できる。

【0047】また、その後、図24に示すように本実施の形態では、前記開口CHからの不純物導入後に、層間絶縁膜7の酸化珪素を半導体基板主面の珪素に対して選択的に除去するエッチングを行ない、開口CHに対して自己整合で第3半導体層2c表面を露出させる。図25に示すようにこの構成によって第3半導体層2cとソース配線10との接触面積が拡大するため、接続抵抗を低減することができる。

【0048】次に、例えばソースガスの主体としてテトラエトキシシラン(TEOS)ガスを用いたプラズマCVDによる酸化珪素膜にポリイミドを塗布積層し、半導体基板主面の全面を覆う保護絶縁膜15を形成し、この保護絶縁膜15にゲート電極9及びソース配線10の前記接続領域を露出させる開口を形成し、n+型半導体基体1の裏面に研削処理を施し、この裏面に例えば蒸着によりニッケル、チタン、ニッケル、銀を順次積層したドレイン電極14を形成して、図4に示す状態となる。

【0049】なお、本実施の形態では電界緩和部としてp型ウエル14を矩形環状に設けたが、電界緩和部としては、例えばフィールド絶縁膜3に開口を設けて、この開口から不純物を導入して、フィールド絶縁膜下にp型ウエル14が環状に点在する構成としてもよい。この構成ではゲート配線6の形成後に電界緩和部を形成することができる。

【0050】(実施の形態2)図26に、本発明の他の実施の形態を示す。本実施の形態では、前記実施の形態とは異なり、フィールド絶縁膜3を形成する工程によって、絶縁膜17を併せて形成する。以下、本実施の形態の半導体装置の製造方法を図26を用いて説明する。

【0051】先ず、例えばヒ素(As)が導入された単結晶珪素からなるn+型半導体基体1上に、エピタキシャル成長によって半導体基体1よりも低濃度のn-型のエピタキシャル層2を5 μ m程度形成する。次に、この半導体基板の主面に600nm程度の酸化珪素膜を、例えば熱酸化法で形成する。

【0052】次に、この酸化珪素膜上にホトリソグラフィによってマスクを形成し、このマスクを用いたエッチングによって、半導体基板の外周に沿って矩形環状に、角部内側に矩形部分を有するフィールド絶縁膜3を形成する。併せて、フィールド絶縁膜3によって囲まれたセル形成領域内の絶縁膜に、各ゲートが平面的に格子状に配置されたメッシュゲート構造のトレンチゲートのパタ

ーンのレジストマスクをホトリソグラフィによって形成し、このレジストマスクを用いたエッチングによって、前記パターン of 半導体基板主面を露出させる開口を設けた絶縁膜17を形成する。以降の工程は、図7乃至図25に示す、前記実施の形態と実質的に同様なのでその説明は省略する。

【0053】本実施の形態によれば、フィールド絶縁膜3と絶縁膜17とを同一工程によって形成することにより、工程数を削減することができる。なお、本実施の形態では電界緩和部となるp型ウエルを省略したが、必要に応じて、例えばフィールド絶縁膜3に開口を設けて、この開口から不純物を導入して、フィールド絶縁膜下にp型ウエル14が環状に点在する構成として電界緩和部を形成することができる。

【0054】以上、本発明者によってなされた発明を、前記実施の形態に基づき具体的に説明したが、本発明は、前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは勿論である。例えば本発明は、パワーMISFET以外にも、IGBT(Integrated Gate Bipolar Transistor)等にも適用が可能である。

【0055】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記のとおりである。

【0056】(1)本発明によれば、トレンチゲート導体層の上面を、前記半導体基板主面よりも高く形成することによってソースオフセットを防止することができるという効果がある。

【0057】(2)本発明によれば、上記効果(1)により、ソースのシャロー化を進めることができるという効果がある。

【0058】(3)本発明によれば、上記効果(2)により、セルの微細化を進めることができるという効果がある。

【0059】(4)本発明によれば、トレンチゲートの形成される溝周縁の半導体基板主面上にトレンチゲート導体層及びゲート絶縁膜を形成することができるという効果がある。

【0060】(5)本発明によれば、上記効果(4)により、ゲート絶縁膜の損傷を防止することができるという効果がある。

【0061】(6)本発明によれば、チャネル形成領域及びソース領域は、トレンチゲート形成後に独立した熱処理制御により形成されるため、それらの領域のシャロー化が実現できるという効果がある。

【図面の簡単な説明】

【図1】本発明の一実施の形態である半導体装置を示す平面図である。

【図2】本発明の一実施の形態である半導体装置の等価

回路図である。

【図 3】本発明の一実施の形態である半導体装置の要部を示す平面図である。

【図 4】図 3 中の a-a 線に沿った部分縦断面図である。

【図 5】本発明の一実施の形態である半導体装置の保護ダイオードを示す部分縦断面図である。

【図 6】本発明の一実施の形態である半導体装置の要部を製造工程毎に示す縦断面図である。

【図 7】本発明の一実施の形態である半導体装置のトレンチゲートを製造工程毎に示す縦断面図である。

【図 8】本発明の一実施の形態である半導体装置のトレンチゲートを製造工程毎に示す縦断面図である。

【図 9】本発明の一実施の形態である半導体装置のトレンチゲートを製造工程毎に示す縦断面図である。

【図 10】本発明の一実施の形態である半導体装置のトレンチゲートを製造工程毎に示す縦断面図である。

【図 11】本発明の一実施の形態である半導体装置の要部を製造工程毎に示す縦断面図である。

【図 12】本発明の一実施の形態である半導体装置の要部を製造工程毎に示す縦断面図である。

【図 13】本発明の一実施の形態である半導体装置のトレンチゲートを製造工程毎に示す縦断面図である。

【図 14】本発明の一実施の形態である半導体装置の要部を製造工程毎に示す縦断面図である。

【図 15】本発明の一実施の形態である半導体装置のトレンチゲートを製造工程毎に示す縦断面図である。

【図 16】本発明の一実施の形態である半導体装置の要部を製造工程毎に示す縦断面図である。

【図 17】本発明の一実施の形態である半導体装置のト

レンチゲートを製造工程毎に示す縦断面図である。

【図 18】本発明の一実施の形態である半導体装置の要部を製造工程毎に示す縦断面図である。

【図 19】本発明の一実施の形態である半導体装置の要部を製造工程毎に示す縦断面図である。

【図 20】本発明の一実施の形態である半導体装置のトレンチゲートを製造工程毎に示す縦断面図である。

【図 21】本発明の一実施の形態である半導体装置の要部を製造工程毎に示す縦断面図である。

【図 22】本発明の一実施の形態である半導体装置のトレンチゲートを製造工程毎に示す縦断面図である。

【図 23】本発明の一実施の形態である半導体装置のトレンチゲートを製造工程毎に示す縦断面図である。

【図 24】本発明の一実施の形態である半導体装置のトレンチゲートを製造工程毎に示す縦断面図である。

【図 25】本発明の一実施の形態である半導体装置のトレンチゲートを製造工程毎に示す縦断面図である。

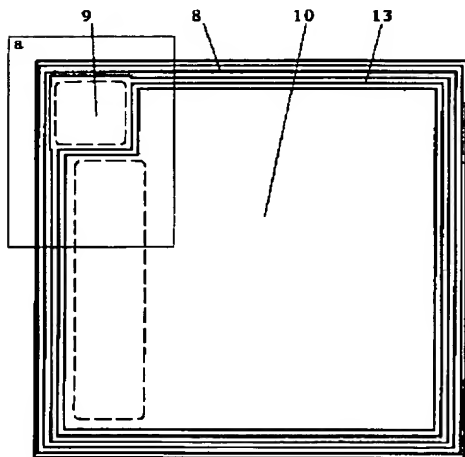
【図 26】本発明の他の実施の形態である半導体装置の要部を製造工程毎に示す縦断面図である。

【符号の説明】

1…半導体基体、2…エピタキシャル層、2a…第1半導体層（ドレイン領域）、2b…第2半導体層（チャネル形成領域）、2c…第3半導体層（ソース領域）、3…フィールド絶縁膜、4…トレンチゲート、5…ゲート絶縁膜、6…ゲート配線、7…層間絶縁膜、8…ゲートガードリング、9…ゲート電極、10…ソース配線、11…コンタクト層、12…保護ダイオード、13…ソースガードリング、14…ウエル、15…保護絶縁膜、16…ドレイン電極、17…絶縁膜、18…レジストマスク。

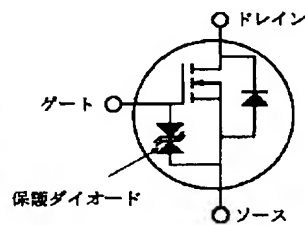
【図 1】

図 1



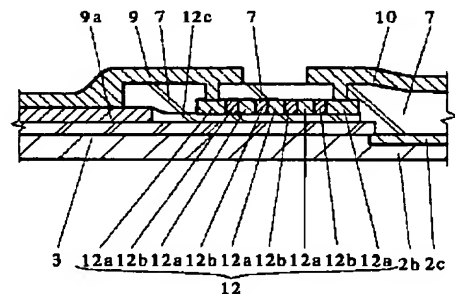
【図 2】

図 2



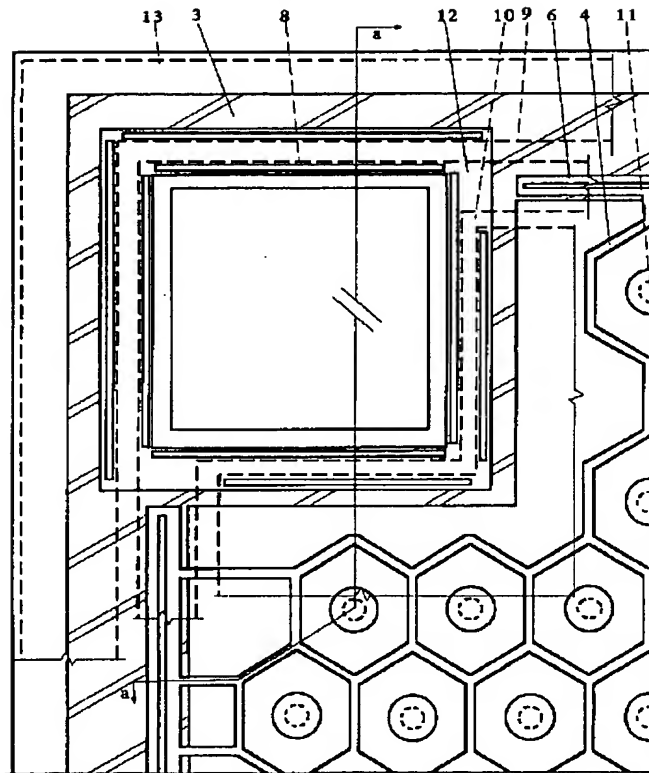
【図 5】

図 5



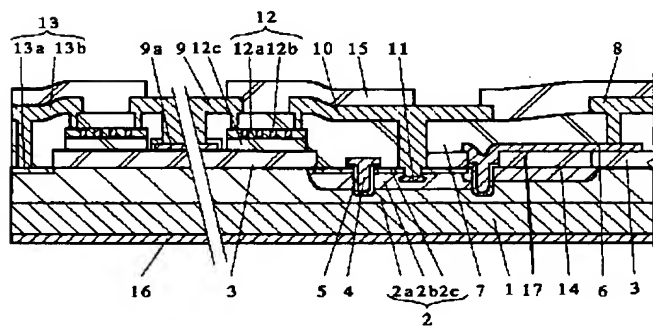
【図 3】

図 3



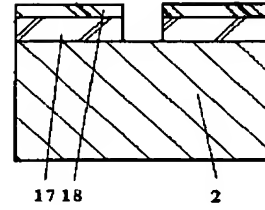
【図 4】

図 4



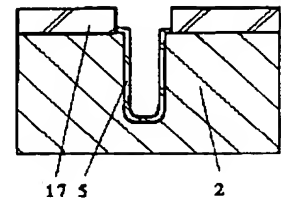
【図 7】

図 7



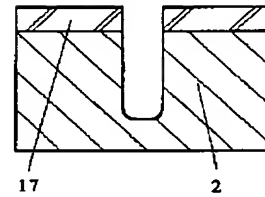
【図 10】

図 10



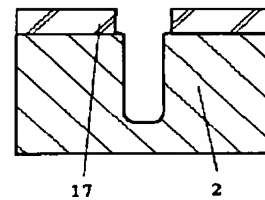
【図 8】

図 8



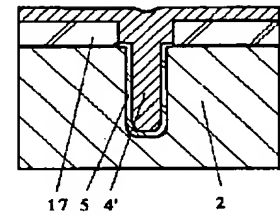
【図 9】

図 9



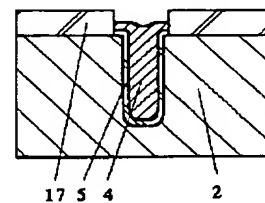
【図 13】

図 13



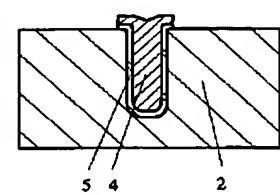
【図 15】

図 15



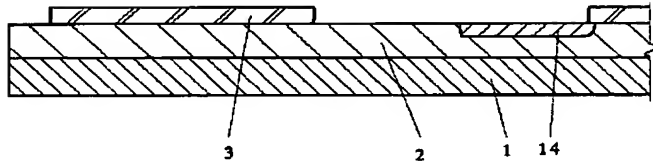
【図 17】

図 17



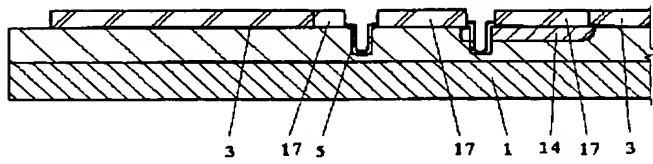
【図6】

図 6



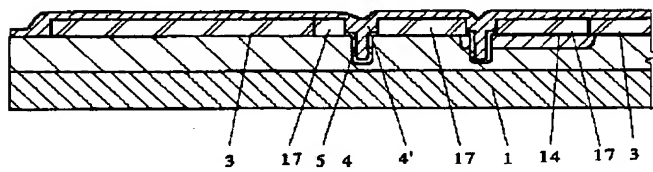
【図11】

図11



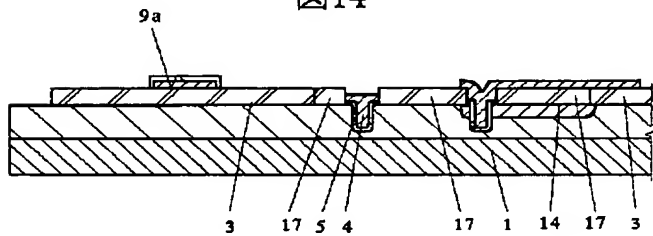
【図12】

図12



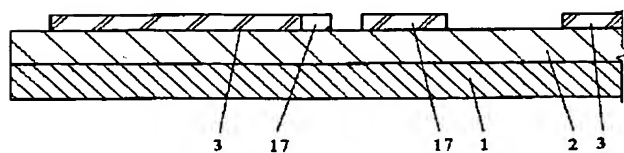
【図14】

図14



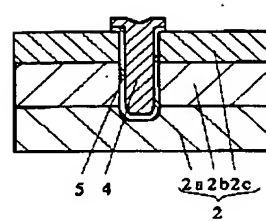
【図26】

図26



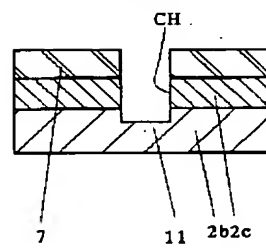
【図20】

図20



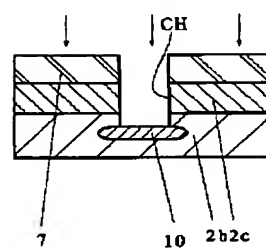
【図22】

図22



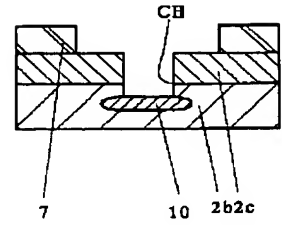
【図23】

図23



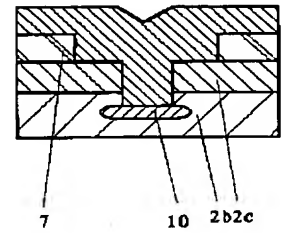
【図24】

図24



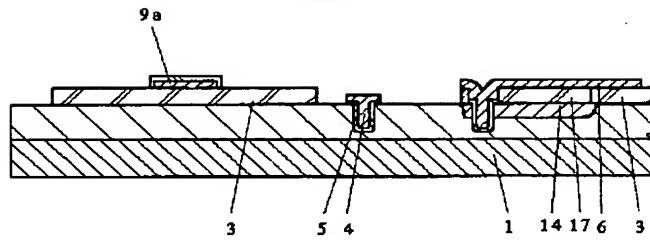
【図25】

図25



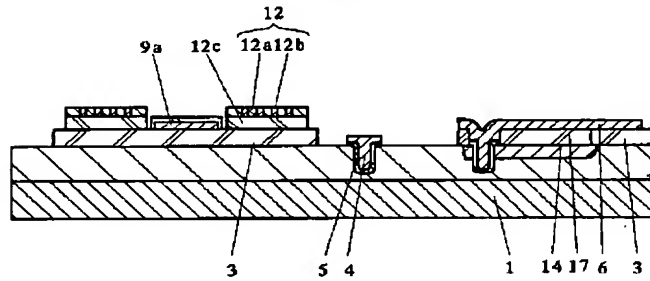
【図 16】

図 16



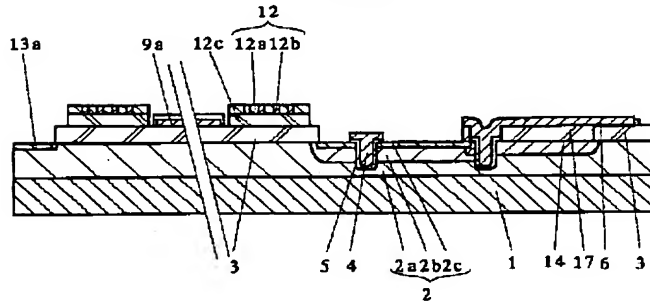
【図 18】

図 18



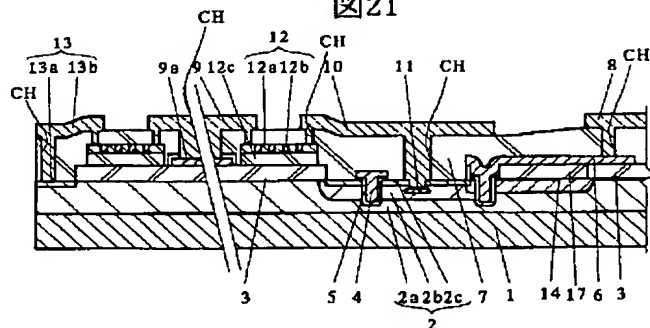
【図 19】

図 19



【図 21】

図 21



フロントページの続き

(72)発明者 町田 信夫
東京都小平市上水本町五丁目20番1号 株
式会社日立製作所半導体事業本部内

(72)発明者 大石 健太郎
東京都小平市上水本町5丁目22番1号 株
式会社日立超エル・エス・アイ・システム
ズ内